

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-259484
(P2002-259484A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 17/50	6 6 2	G 0 6 F 17/50	6 6 2 G 2 G 1 3 2
G 0 1 R 31/28		G 0 1 R 31/28	F 5 B 0 4 6

審査請求 未請求 請求項の数1 OL (全 9 頁)

(21) 出願番号 特願2001-345968(P2001-345968)

(22) 出願日 平成13年11月12日 (2001.11.12)

(31) 優先権主張番号 09/782, 407

(32) 優先日 平成13年2月12日 (2001.2.12)

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580

ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COM
PANY

アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 エス・ブランドン・ケラー

アメリカ合衆国80525コロラド州フォー
ト・コリンズ、ボードウォーク 4900 ナ
ンバー・ビー301

(74) 代理人 100081721

弁理士 岡田 次生 (外2名)

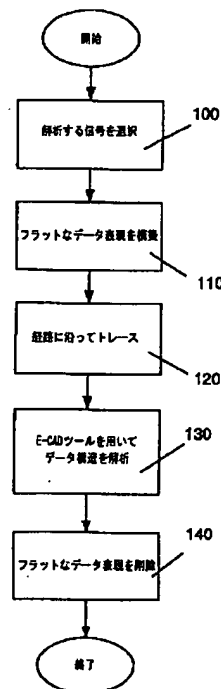
最終頁に続く

(54) 【発明の名称】 回路設計の解析方法

(57) 【要約】

【課題】 回路設計をメモリに格納し、電気CADツールを使用して回路設計を分析する方法を開示する。

【解決手段】 回路設計は繰り返しの要素及び要素のグループの階層的セルを含む。フラットなデータ構造が2つの端子ノードの間の回路の指定された部分を表すために作成される。フラットなデータ構造は、指定された部分の各ノードとエッジについて、名前と、回路モデルの根源的データへのアドレス・ポイントと、フラットなデータ構造の接続するノードとエッジへのアドレス・ポイントとを格納する。また回路設計の各ノードとエッジについて、データ構造はそのノードまたはエッジが分析されたか否かを示す表示を格納する。E-CAD分析がフラットな表現上で実行され、結果は記録され、フラットなデータ構造はメモリから削除される。



【特許請求の範囲】

【請求項1】メモリに格納された回路設計を解析する方法であって、
試験のためにメモリに格納された回路設計の一部を選択し、
前記回路設計を格納する階層的データベースを読み取り、
前記回路設計の一部のノードとエッジのフラットな表現を作成し、
前記フラットな表現上で試験を実行することを含む、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体チップの設計を行うコンピュータ・ソフトウェアに関する。より具体的には、本発明はコンピュータ・メモリに格納されたチップ設計を解析するためのデータを処理する方法に関する。

【0002】

【従来の技術】半導体チップ設計、特に超大規模集積回路(VLSI)の設計の分野では、設計は解析のためにコンピュータ・メモリに格納される。例えば、設計者は設計図の特定の金属セグメントや導体の電流応答や信号応答の試験を望むことがある。個別のノード、信号、構成要素、導体、及び他の情報はコンピュータ・モデルとしてコンピュータ・データベースに格納され、設計計算や試験に用いられる。

【0003】コンピュータ・モデルはメモリの節約のために相互参照を含むことができる。例えば、特定の一連の構成要素がその設計の中で繰り返されることがある。設計は、これらの関連した構成要素を1つのセルで表現し、そのセルをメモリに格納する。セルがその設計の中に現れるたびに、その情報の全てを格納する代わりにコンピュータ・モデルはセルを参照するだけで良い。このモデルはフラットなデータ表現と対比させて階層的設計と呼ばれる。階層的モデルは設計の必要に応じてセルのグループ、グループのグループへと拡張することができる。一連の項目が繰り返されるたびに、コンピュータ・モデルは相互参照の階層にデータを格納することができる。

【0004】

【発明が解決しようとする課題】階層的モデルに伴う困難の1つは、横断が複雑であり時間がかかることである。階層的モデルは複数の相互参照を必要とし、設計の解析の実行に必要な時間が増加する。代替の設計モデルはフラットなデータ表現である。フラットなデータ表現では、設計の全ての要素が設計に現れるたびにフルで格納される。相互参照が無いので、同じデータが複数回格納される。フラットなデータ表現は解析にかかる時間は少ないが、設計全体を表現するのに必要な記憶メモリが

多すぎるため実用的でない。

【0005】回路設計の解析に伴う別の問題は、試験中の特定の設計部分が2つのノードの間に複数の経路を持つことがある点である。例えば、電気CAD(E-CAD: コンピュータ援用設計)ツールは、指定した経路に沿った電流等の、設計部分の特定の特性を解析するために回路設計上で実行される。E-CADツールは必要に応じて階層を横断して、メモリに格納された設計から情報を取り出す。解析時、E-CADツールは、各経路を解析したことを確実にするために、2つのノード間の全ての経路を横断する必要がある。同時に、E-CADツールは、例えばループバックによって同じ経路を2度解析していないことを確実にする必要がある。既存の方法では、E-CADツールが設計の同じ部分を2度解析しないようにする効率的な手段は提供されていない。

【0006】従って、メモリ記憶に大きな影響を与えることなく必要な処理時間を減少するためにチップ設計データを格納し処理するより効率的な方法が必要とされている。また、回路解析ツールを使用して階層的データを解析するより効率的な手段が必要とされている。また、設計の解析におけるループを回避するより効率的な手段が必要とされている。

【0007】

【課題を解決するための手段】コンピュータ・システムのメモリに例えばVLSI回路の設計を格納し、E-CADツールを使用して設計を解析する方法が開示される。設計は繰り返される要素や要素のグループの階層的セルを含むことができる。データ構造が2つのノードの間の信号等の回路の指定した部分を表現するために作成される。指定した部分の各ネットについて、データ構造は、名前、回路モデルの根源的なデータへのアドレス・ポインタ、データ構造中の結び付いているエッジへのアドレス・ポインタを格納するノードを作成する。ネット間の各デバイスについて、データ構造は、名前、回路モデル中の根源的なセル情報へのアドレス・ポインタ、結び付いているノードへのアドレスポインタを格納するエッジを作成する。さらにデータ構造は、信号の中の各ノードまたはエッジが解析されたか否かを示す表示も格納する。

【0008】回路設計はE-CADツールを使用して信号単位で解析される。方法は解析する信号を選択し、信号のフラットなデータ表現を作成し、それをメモリに格納する。その後E-CADツールはフラットなデータ表現上で解析を実行し、その結果を通常の動作に記録する。信号解析が完了すると、フラットなデータ表現はメモリから削除され、他の信号が順番に解析される。

【0009】

【発明の実施の形態】図1は、集積回路(IC)等の回路の設計のコンピュータ・モデリングにおける設計階層的セルの使用を表す。図1は複数の抵抗41、42、43、4

4、45に接続されたインバータ40を有するセル50の図である。セル50はコンピュータ・メモリに格納された回路設計のコンピュータ・モデルとして格納されているセグメントの構成要素を表すことができる。使用時に、設計はセル50内の同じ構成要素を複数回繰り返すことができる。セル50により、設計者はインバータ40と抵抗41、42、43、44、45等の特定の構成要素を一度だけ作成し、接続や構成要素が自身を繰り返すときはどこでもセルの内容を繰り返すことができる。

【0010】例えば、単一の設計は同じキャラクタ（すなわち同じ物理的寸法と性質を有する）のセグメントを使用して直列に接続された3つのインバータを有することができる。図2は一般のセル概念を参照することなく直列に接続された3つのセル50の内容の例を示す。この接続はつまり、第1のインバータ40、抵抗41、42、43、44、45の第1の組、第2のインバータ40'、抵抗41'、42'、43'、44'、45'の第2の組、第3のインバータ40''、抵抗41''、42''、43''、44''、45''の第3の組の直列接続を表す。図2に示す図は全ての要素が示されている点で回路のフラットなデータ表現である。モデル全体のフラットなデータ表現をコンピュータ・システムに記憶するには、かなりのメモリが必要となり、従って他の方法が採用されることが多い。

【0011】図3は図2のフラットなデータ表現の例の階層的な図を示す。セグメント10の各要素を示す代わりに、図1に示すセル50が利用されており、3つのセル50、50'、50''が直列に接続されている。この階層的データ表現は、一度セル情報を格納しその後はそれを参照するので必要なメモリが少ない。例えば、各抵抗はその情報を格納するのに32バイトのメモリを必要とする。設計全体のフラットな表現はかなりのメモリを必要とし、設計に現れるたびに全ての抵抗及び他の構成要素について32バイトの同じ情報を繰り返す。階層的設計はメモリにセル50の情報を一度格納し、アドレス・ポインタを用いてそのセルを参照するので、必要なメモリが少ない。アドレス・ポインタは任意のタイプのデータベース・リンクまたは関連付けを含む。

【0012】図4の(a)、(b)は、回路設計において用いられる基本（プリミティブ）セルの例を示す。(a)はn型電界効果トランジスタ（NFET）を表す基本セルであり、セルAと名付ける。セル52は階層を持たない点で基本的である。セル52は基本回路要素（この場合、NFETはゲート、ソース、ドレイン接続を有する）を含む。セル52は設計の他のセルとの接続のために複数のポート60を有する。この例では、NFETの各端子についてポート60がある。(b)はp型FET（PFET）の基本セル54を示し、セルBと名付ける。使用時に、設計はセル52、54の属性を一度だけ格納し、同じFETの将来の使用はセル52、54のメモリ位置へのアドレス・ポインタを使用して行われる。これは回路の詳細を一度だけ格

納することによりメモリを節約する。

【0013】図5はINVと名付けられた階層的セル56を示す。このセル56はそれぞれ「IN」、「OUT」で示される入出力ポート60と、出力と低電圧側の間に接続されたNFETと、出力と高電圧側の間に接続されたPFETとからなるインバータである。INVセル56はデバイスを回路に接続するために複数のポート60を有しており、また構成要素のセル52、54の内部ポート60を有している。INVセル56は、他のセルすなわち図5に示すセルA52、セルB54を含むので階層的である。メモリでは、INVセル56はポートと接続情報を格納し、アドレス・ポインタを使用してセルA52及びセルB54を参照する。セル概念内のこのセルは階層を作成しメモリを節約する。

【0014】図6は、「Complex1」と名付けられたより複雑なセル設計を示す。セル58は複数のポート60を有し、種々の抵抗、インバータ、FET、及び他のデバイスを含む。本明細書において、「デバイス」は任意の回路要素を広く指す。図6の各ボックスは特定のセル50のインスタンスであり、それ自身が他のセル50のインスタンスを含むことができる。インバータ56は、図5に示すインバータ・セル56のような、それ自身の階層を有するセル50である。同様に、N型FETセル52は図4(a)に示すタイプであることができる。メモリでは、複雑なセル58はインバータセル56のメモリ位置への参照を含み、インバータセル56はFETセル52、54へのメモリ参照を有する。各セルを一度だけ格納し、インスタンスはアドレス・ポインタを使用してインスタンスを記述するセルを単に呼び戻すだけであるので、この階層構造はメモリを節約する。

【0015】使用時に、図6に示すComplex1セル58部分等の回路モデルは、E-CADツールを使用して解析される。E-CADツールはメモリに格納されている情報にアクセスして回路設計の性能を解析する。E-CADツールは例えば、設計の特定の部分を通る電流を試験することができる。別の例では、E-CADツールは設計部分の接続性を単にチェックするだけである。解析時に、E-CADツールは1つのノードから別のノードへと回路設計を横断することができる。例えば、図6に示す設計部分において、E-CADツールはノードAからノードBへと設計を横断してその経路の性能を解析することができる。選択された部分は、開始端子（ノードA）から終了端子（ノードB）への信号として定義することができる。2つのノードはそれらを接続する複数の経路を有するが、これは回路設計でのループにより発生する。設計を横断するために、E-CADツールはノード間のすべての経路を知り、既に解析された経路を知っていると有用である。デバイスが解析されると、デバイスにはそれらが既に処理されたことを示すマークがされ、ループしたり同じデバイスを2度以上解析したりす

ることを回避する。

【0016】その解析において、E-CADツールは横断（例えば、ノードAとノードBの間の抵抗及び他のデバイスの全て）に沿ってデバイスの性質を考慮する。これはメモリに格納されているデバイス情報を読み取ることを含む。設計がインバータのような階層的デバイスを含むとき、E-CADツールはメモリに格納されているデータを読み取り、アドレス・ポインタを使用して基本セルにアクセスする。

【0017】図7はノードAとノードBの間の信号経路のグラフ表現を示す。このグラフ61はE-CADツールによる解析のためにメモリに格納されるフラットなデータ構造を表したものである。グラフ61は階層的回路設計モデルを重ねるために作成される。フラットな表現はノードとエッジによる接続を指す。ノード62はノードAとノードB等のデバイスの間のコネクタである。図7に示す個々のノード62、つまりN1からN7は、図6に示すノード（ネットとも呼ぶ）に対応している。エッジ64は例示する抵抗及びセル等のノードの間のデバイスを指す。情報はテスト中の各ノード62及びエッジ64について

格納される。

【0018】図8は格納されるノード情報及びエッジ情報のフォーマットを示す。(a)はノード62について格納される情報を示す。各ノード62は、それが表す論理ネットの名前、ノード62がE-CADツールによって解析されたか、つまり訪問されたか否かを示すマーカ、及び回路設計の実際のネットデータへのデータ・アドレス・ポインタである。本明細書において、用語「ノード」及び「ネット」は同義で使用される。ノードはネットのデータ表現を指すこともある。同様に、用語「デバイス」及び「エッジ」は同義で使用される。エッジはデバイスのデータ表現を指すこともある。(b)はエッジ64について格納される情報を示す。各エッジ64は、それが表すインスタンスの名前、エッジ64が訪問されたか否かを示すマーカ、設計におけるエッジの実際のインスタンスへのデータ・アドレス・ポインタを含む。また、グラフ61に接続するために、ノード62はノード62に接続されるエッジ64のリストを含み、エッジ64はエッジ64が接続するノード62のリストを含む。これらの接続リストはアドレス・ポインタであっても良く、本明細書において接続アドレス・ポインタと呼ばれる。

【0019】図9は図6に示す設計のノード62及びエッジ64について格納される情報の例を示す。ノードN5は図9の(a)に示される。図6に抵抗R6とn型FET52の間に接続されるノードN5が示されている。図9の(a)では、ノード62の名前はN5として格納されており、まだ処理されていないことを示している。実際のネット・データへの参照も、エッジの接続と共に含まれる。この例では、エッジの接続はn型とR6を含む。図9の(b)において、n型と名付けられたエッジ64につい

てのエッジデータは、このエッジ64はE-CADツールによってまだ訪問されていないことの表示と共に格納される。図4(a)に示すセルAへのポインタを使用して、データは根源的なn型のデータのインスタンスを参照する。このデータは接続されるノードN5とN6の名前も格納する。

【0020】図10は、入力装置420と表示装置430に接続されたプロセッサ410を有するコンピュータ・システム400のブロック図を示す。プロセッサ410はVLSI回路設計450を格納するコンピュータ・システム400のメモリ440にアクセスする。設計450はデータファイルに格納されることができ、「抵抗-容量ネットリスト」または「RCネットリスト」と呼ばれることもある。E-CADツール460は回路モデル450を解析するためにメモリ440に格納される。回路モデル450は、本明細書で述べたように、セル50を使用する階層的モデルであって良い。使用時に、入力装置420はモデル450の回路解析を実行するためのE-CADツールソフトウェア460の呼び出しをプロセッサ410に命令するコマンドを受け取る。解析の結果は表示装置430に表示することができる。本方法を使用した階層的回路設計450へのE-CADツール460の適用の間、フラットなデータ表現170が作成されメモリ440に格納される。データ表現170は、アドレス・ポインタを使用するデータ構造を使用して設計450のノード接続及びエッジ接続についての情報を格納する。データ構造170は図8の(a)(b)に述べたデータ構造と同様のものであっても良い。

【0021】図11はコンピュータ・システム400のメモリ440に格納された設計450を解析する方法のフローチャートである。この方法は例えばプロセッサ410による実行のためのメモリ440に格納されたE-CADツール460等のソフトウェア・モジュールにより実現することができる。階層的設計データベース450が解析のためにE-CADツール460に読み取られる。回路設計450の一部が解析のために選択される(100)。この選択は、図6のノードA、ノードB等の、回路設計450における2つの端子ノードにより定義される信号であっても良い。そしてフラットなデータ構造170がメモリ440内で作成されて(110)、選択した信号における経路を表す。信号の経路はトレースされて(120)、E-CADツール460により訪問されたときマークされる。E-CADツール460は信号を解析し(130)、メモリ440からフラットなデータ表現170を削除する(140)。

【0022】図12はフラットなデータ表現170を構築する(110)方法のさらに詳細な解析を示す。信号が解析のために選択(100)された後、E-CADツール460はネットを読み取る(111)。「ネット」は設計450のデバイスまたはセルの間の理想化された接続を指す。ノード62がフラットな表現170の中のネットを表すために構築される(112)。フラットな表現のデータ構造170はノ

ード62の名前と接続情報とを格納する。データ構造470は図8(a)に示す情報を含む。表現470はまた、ノード62についての根源的データを格納する階層的データベース450における位置を指すデータ・アドレス・ポイントと、ノード62がE-CADツール460により解析されたか否かの表示とを格納する。接続情報を使用して、方法は信号をトレースして次の接続されたデバイスまたはセル50に至る(113)。エッジ64がフラットなデータ表現におけるデバイスを表すために作成される(114)。「エッジ」は、フラットなデータ表現470のデバイスまたはセル50についての情報を格納する任意のデータ構造を指す。定義により、ネット(ノードとしてマップされる)はデバイス(エッジとしてマップされる)の間に広がる。データ構造470はエッジの名前としてデバイスの名前を格納し、また接続情報120を格納する。データ構造470は図8(b)に示す情報を含む。表現470は、エッジ64についての根源的データを格納する階層的データベース450における位置へのデータ・アドレス・ポイントと、エッジ64がE-CADツール460により解析されたか否かの表示とを格納する。

【0023】その後方法は、解析された信号について終端デバイスに達する。終端は信号解析または設計解析の任意の指定された終点を指す。終端に達していない場合、次のネットへの接続をトレースし(116)、そのネットについてノードを構築する(112)。方法が終端デバイスに達すると、任意の他のエッジがマッピングを必要としているか否かを判定する(117)。例えば、マップはたどらなければならない回路450内の複数のループを含むことができる。E-CADツール460はマップすべき他のネット及びデバイスを捜して終端から戻る。再帰プロセスを使用して、方法は横断するデバイスを有する最後のネットへと戻り(118)、次のデバイスへのトレースを続ける(113)。このプロセスは全ての経路がマップされるまで続く。

【0024】従来のE-CADソフトウェア・プログラムは当分野において知られており、図11及び図12に示す方法は、例えば、従来のソフトウェア・プログラム等を改良することによって、または任意のE-CADソフトウェア・ツールに適当な命令を含ませることによって実現することができる。改良は、例えば対象としている信号のフラットな表現を作成し格納する命令や、これに続くフラットな表現の解析後のメモリからの削除の命令を含むことができる。

【0025】本発明を特定の実施形態に関して述べてきたが、種々の変更も可能である。本発明は、本発明の本質的な精神または特質から逸脱することなく特定の形態で実施することができる。加えて、本発明と一致する実現の様態をメモリに格納するものとして述べてきたが、当業者は、これらの態様を以下のような他のタイプのコン

体に格納し、それらから読み取ることができることを理解するであろう。つまり、ハードディスク、フレキシブルディスク、CD-ROM等の二次記憶デバイス、インターネットや他のネットワークからの搬送波、または他の形態のRAMや読み取り専用メモリ(ROM)である。本明細書に述べた実施形態は、すべての点において例示であり限定的でないといえられることが望ましい。

【0026】本発明には以下の実施形態が含まれる。

(1)メモリに格納された回路設計を解析する方法であって、試験のためにメモリ(440)に格納された回路設計(450)の一部を選択し(100)、前記回路設計(450)を格納する階層的データベースを読み取り、前記回路設計(450)の一部のノード(62)とエッジ(64)のフラットな表現を作成し(110)、前記フラットな表現上で試験を実行する(130)ことを含む方法。

【0027】(2)前記作成ステップは前記回路設計(450)の一部の各ノード(62)についてのノード情報を格納することと、前記回路設計(450)の一部の各エッジ(64)についてのエッジ情報を格納することと、を含む請求項1に記載の方法。

【0028】(3)前記作成ステップは根源的なノード設計情報またはエッジ設計情報を格納する階層的データベースにおける位置へのデータ・アドレス・ポイントを格納することを含む、請求項1または2に記載の方法。

【0029】(4)前記実行ステップは電気CAD(E-CAD)ツール(460)を用いて試験を実行することを含む、請求項1乃至3の何れか1項に記載の方法。

【0030】(5)前記作成ステップ(110)は前記フラットな表現をメモリ(440)に格納することを含み、さらに試験の実行(130)後該フラットな表現をメモリ(440)から削除する(140)ことを含む、請求項1乃至4の何れか1項に記載の方法。

【0031】(6)回路設計(450)のコンピュータ表現を解析する方法を実行するコンピュータ実施可能な命令を有するコンピュータ読み取り可能媒体(440)であって、回路設計(450)についての情報を格納する階層的データベースを読み取ることと、根源的なノード設計情報を格納する階層的データベースにおける位置へのデータ・アドレス・ポイントを含む、前記回路設計(450)におけるノード(62)についてのノード情報を格納することによって、また、根源的なエッジ設計情報を格納する階層的データベースにおける位置へのデータ・アドレス・ポイントを含む、前記回路設計におけるエッジ(64)についてのエッジ情報を格納することによって、前記回路設計(450)のフラットな表現を作成する(110)ことと、を含むコンピュータ読み取り可能媒体。

【0032】(7)前記方法は前記回路設計(450)の一部を選択する(100)ことをさらに含み、前記作成ステップは前記回路設計の一部のフラットな表現を作成する(110)ことを含む、請求項6に記載のコンピュータ読み取り

可能媒体。

【0033】(8)前記方法は前記フラットな表現における信号解析を実行する(130)ことをさらに含む、請求項6または7に記載のコンピュータ読み取り可能媒体。

【0034】(9)前記作成ステップは前記フラットな表現をメモリ(440)に格納することを含み、さらに試験の実行(130)後該フラットな表現をメモリ(440)から削除する(140)ことを含む、請求項6乃至8の何れか1項に記載のコンピュータ読み取り可能媒体。

【0035】(10)前記ノード情報はノード(62)に隣接するエッジ(64)についての情報を格納するメモリ位置(440)へのノード接続アドレス・ポインタをさらに含む、前記エッジ情報はエッジ(64)に近接するノード(62)についての情報を格納するメモリ位置(440)へのエッジ接続アドレス・ポインタをさらに含む、請求項6乃至9の何れか1項に記載のコンピュータ読み取り可能媒体。

【0036】

【発明の効果】本発明によれば、メモリ記憶に大きな影響を与えることなく階層的データを解析に必要な処理時間を減少することができる。

【図面の簡単な説明】

【図1】セルの図的表現を示す図である。

【図2】複数のセルのフラットな表現を示す図である。

【図3】複数のセルの階層的表現を示す図である。

【図4】(a)、(b)ともに基本セルを示す図である。

【図5】図4のセルを使用した階層的セルモデルを示す

図である。

【図6】図4、図5のセルを使用した回路部分のより複雑な階層的セルモデルを示す図である。

【図7】本発明の方法により使用されるグラフ表現を示す図である。

【図8】(a)、(b)ともに本発明の方法により格納されるノードとエッジのデータのデータ構造を示す図である。

【図9】図6の設計のノードとエッジについて格納されるデータの例を示す図である。

【図10】本発明の方法を実行するコンピュータ・システムのブロック図である。

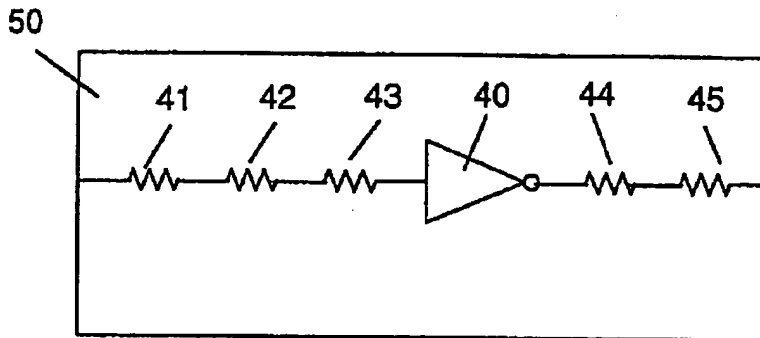
【図11】本発明の方法のフローチャートである。

【図12】本発明の方法のさらに詳細なフローチャートである。

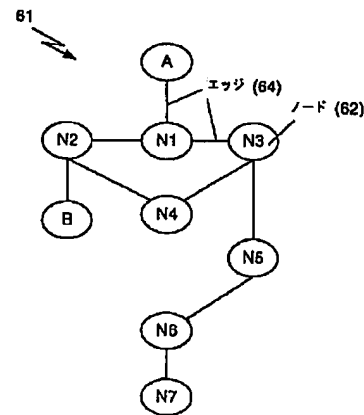
【符号の説明】

62	ノード
64	エッジ
400	コンピュータ・システム
410	プロセッサ
420	入力装置
430	表示装置
440	メモリ
450	回路設計
460	E-CADツール
470	フラットなデータ表現

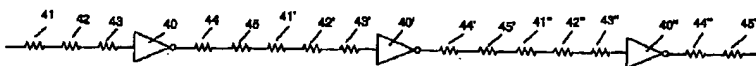
【図1】



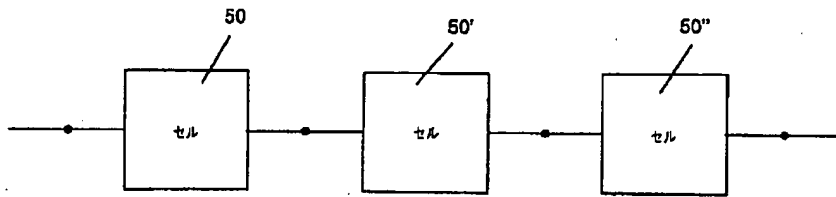
【図7】



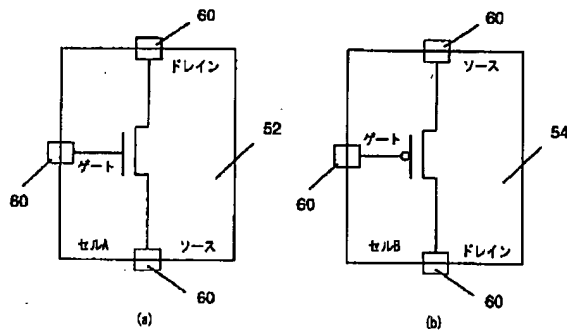
【図2】



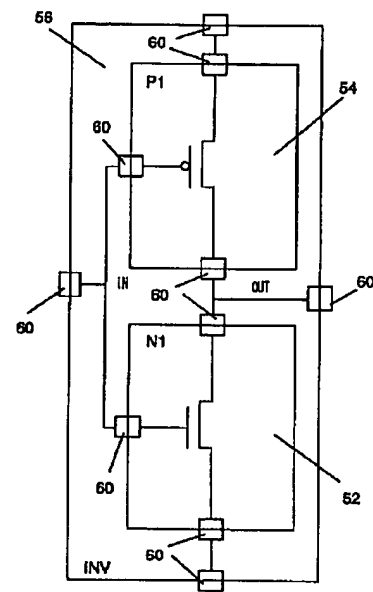
【図3】



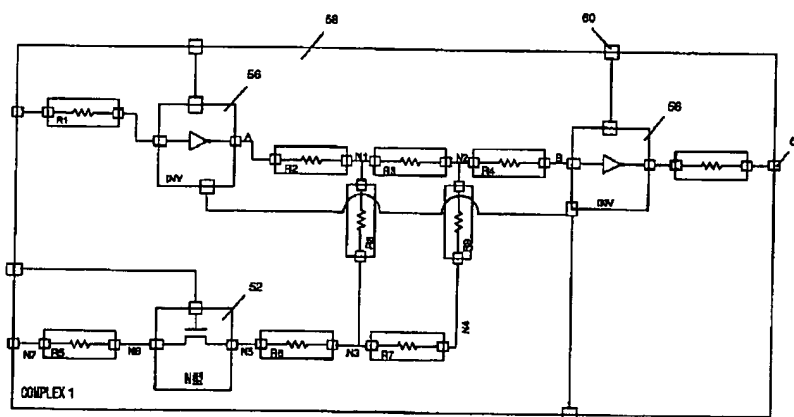
【図4】



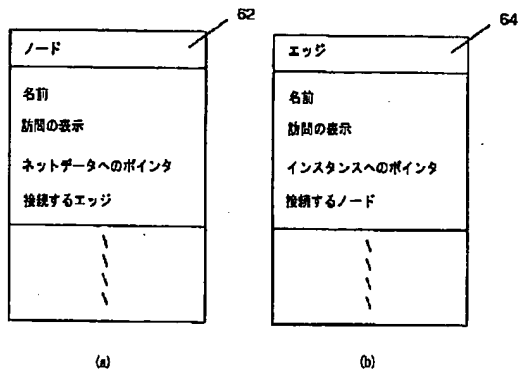
【図5】



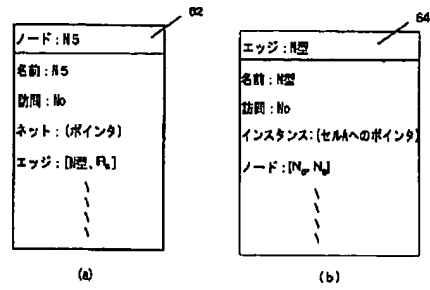
【図6】



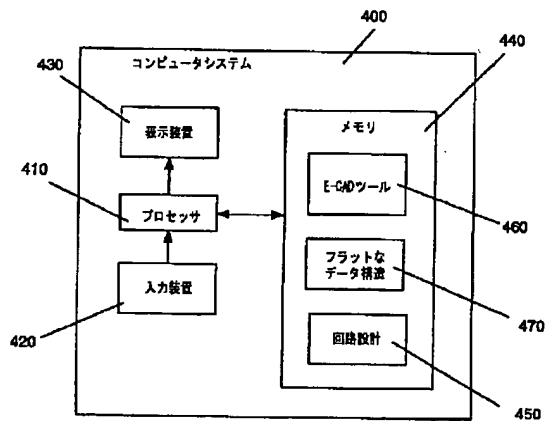
【図8】



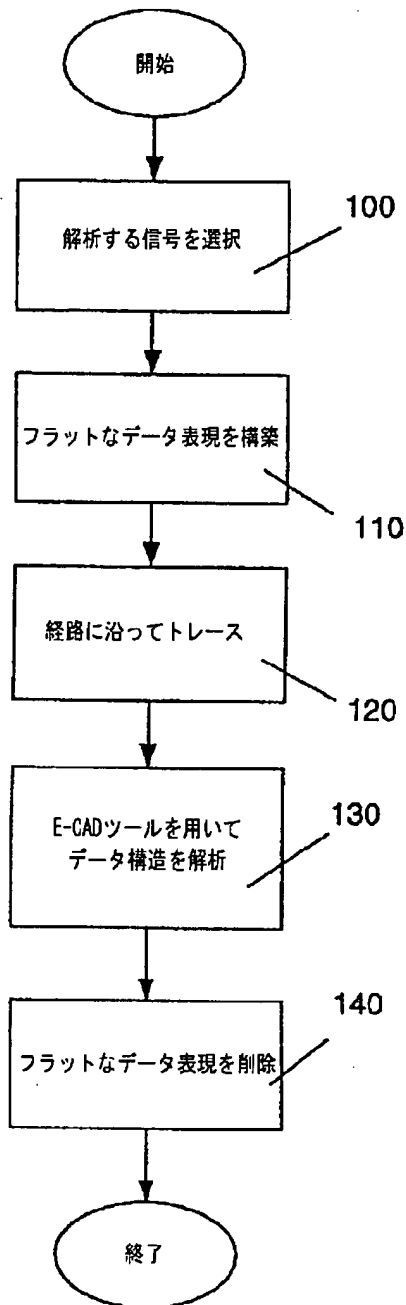
【図9】



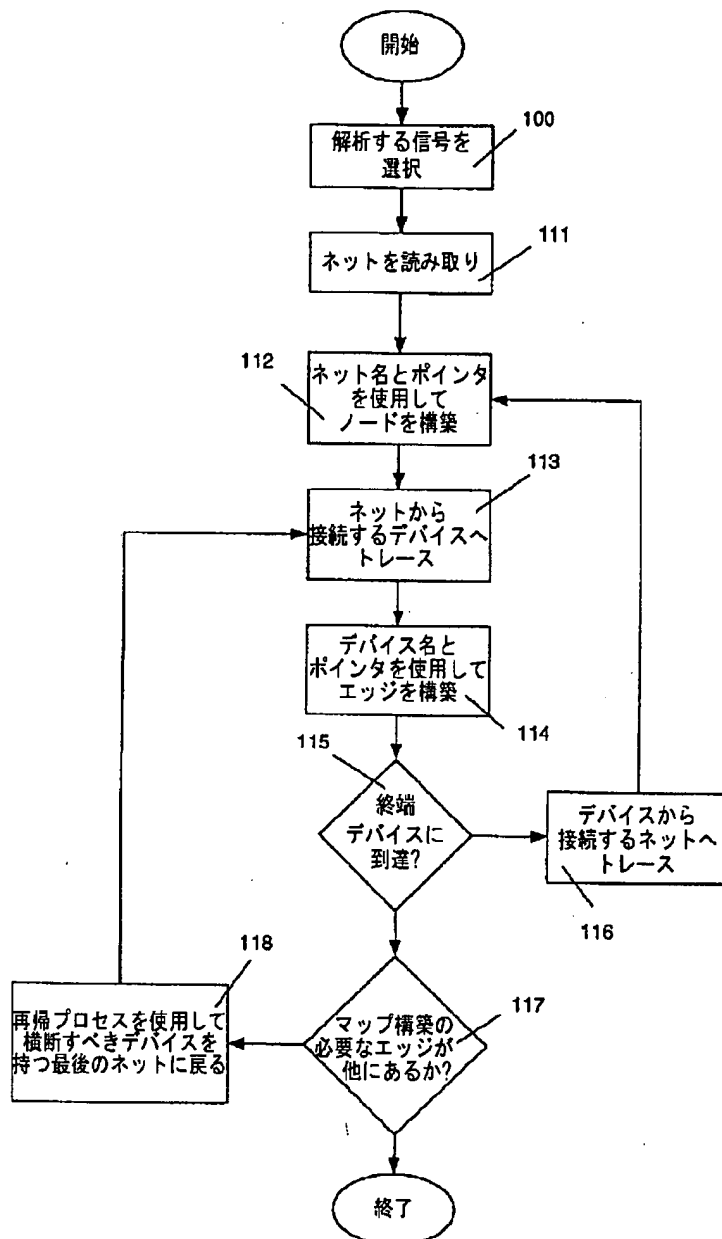
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 グレゴリー・デニス・ロジャース
アメリカ合衆国80526コロラド州フォート・コリンズ、メイサビュー・レーン
1903

Fターム(参考) 2G132 AA00 AA01 AB02 AC11 AE16
AE18 AE23 AL09 AL33
5B046 AA08 BA03 JA01 KA05

DERWENT-ACC-NO: 2003-016409

DERWENT-WEEK: 200322

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Circuit design analysis method e.g. for
semiconductor chip design, involves creating flat representation
of nodes and edges in test objective portion of
circuit design read from hierarchical database

INVENTOR: KELLER, S B; ROGERS, G D

PRIORITY-DATA: 2001US-0782407 (February 12, 2001)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
US 6536021 B2	March 18, 2003	N/A
G06F 017/50		000
US 20020112216 A1	August 15, 2002	N/A
013 G06F 017/50		
JP 2002259484 A	September 13, 2002	N/A
009 G06F 017/50		

INT-CL (IPC): G01R031/28, G06F017/50

ABSTRACTED-PUB-NO: US20020112216A

BASIC-ABSTRACT:

NOVELTY - A portion of a circuit design to be tested is selected. The circuit design information is read from a hierarchical database. A flat representation of nodes and edges in the testing objective portion, is created for performing a test.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

- (1) Computer readable medium storing circuit design analyzing program; and
- (2) Computer-readable medium comprising data structure including information about nodes and edges of circuit design.

USE - For analyzing semiconductor chip design e.g. VLSI chip design using CAD tool.

ADVANTAGE - Enables storing and processing chip design data effectively such that processing time is reduced significantly without affecting the memory storage. The looping in the analysis of the circuit design is avoided by

efficiently analyzing the hierarchical data with the help of an electronic computer aided designing tool.

DESCRIPTION OF DRAWING(S) - The figure shows a flowchart explaining the circuit design analysis method.

----- KWIC -----

Basic Abstract Text - ABTX (1):

NOVELTY - A portion of a **circuit design** to be tested is selected. The **circuit design information** is read from a hierarchical database. A flat representation of nodes and edges in the testing objective portion, is created for performing a **test**.